

5/5/1

DIALOG(R)File 347:JAPIO

(c) 1999 JPO & JAPIO. All rts. reserv.

01591469 **Image available**
IMAGE SENSOR

PUB. NO.: 60 -069969 [JP 60069969 A]
PUBLISHED: April 20, 1985 (19850420)
INVENTOR(s): SUZUKI KOHEI
 SAITO TAMIO
APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
 (Japan)
APPL. NO.: 58-177378 [JP 83177378]
FILED: September 26, 1983 (19830926)
INTL CLASS: [4] H04N-005/335; H01L-027/14; H04N-001/028
JAPIO CLASS: 44.6 (COMMUNICATION -- Television); 42.2 (ELECTRONICS --
 Solid State Components); 44.7 (COMMUNICATION -- Facsimile)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
 MOS)
JOURNAL: Section: E, Section No. 337, Vol. 09, No. 204, Pg. 126,
 August 21, 1985 (19850821)

ABSTRACT

PURPOSE: To obtain an excellent picture reading output by eliminating switching noise and an offset voltage of a switching element for signal read.

CONSTITUTION: The switching noise is prevented from appearing at the read output by providing preamplifiers A(sub 1)-A(sub n) to the pre-stages of the switching elements S(sub 11)-S(sub in) to read signals from photoelectric converting elements D(sub 1)-D(sub n). Moreover, picture reading signals are obtained by detecting output signal differences among the preamplifiers A(sub 1)-A(sub n) before and after an input terminal potentials of the preamplifiers are reset.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-69969

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)4月20日

H 04 N 5/335

H 01 L 27/14

H 04 N 1/028

6940-5C

7525-5F

7334-5C

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 イメージセンサ

⑯ 特 願 昭58-177378

⑰ 出 願 昭58(1983)9月26日

⑱ 発 明 者 鈴木 公平 川崎市幸区小向東芝町1番地 東京芝浦電気株式会社総合
研究所内

⑲ 発 明 者 斉 藤 民 雄 川崎市幸区小向東芝町1番地 東京芝浦電気株式会社総合
研究所内

⑳ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

イメージセンサ

2. 特許請求の範囲

(1) 読取るべき画像面からの入射光を電気信号に変換する複数個の光電変換素子と、これらの光電変換素子にそれぞれ接続された前置増幅器と、これらの前置増幅器の出力信号を順次選択して読出す第1のスイッチング素子群と、これら第1のスイッチング素子群によって読出された信号を順次一時記憶する記憶手段と、この記憶手段が前記第1のスイッチング素子により読出された信号を記憶した後に対応する前記前置増幅器の入力端電位を初期状態にリセットするリセット手段と、このリセット手段のリセット動作後同じ前記前置増幅器の出力信号を再び読出す第2のスイッチング素子群と、この第2のスイッチング素子群によって読出された信号と前記記憶手段の出力信号との差を検出して画像読取り出力を得る手段とを備えたことを特徴とするイメージセンサ。

(2) 光電変換素子は読取るべき画像面からの入射光量に応じた電荷を蓄積するものであることを特徴とする特許請求の範囲第1項記載のイメージセンサ。

(3) 前置増幅器と第1、第2のスイッチング素子群とリセット手段およびこれら第1、第2のスイッチング素子群とリセット手段を駆動する駆動手段が所定数個ずつまとめられて同一の集積回路素子上に形成されていることを特徴とする特許請求の範囲第1項記載のイメージセンサ。

(4) 前置増幅器と第1、第2のスイッチング素子群とリセット手段およびこれら第1、第2のスイッチング素子群とリセット手段を駆動する駆動手段が所定数個ずつまとめられて同一の集積回路素子上に形成されるとともに、これらの集積回路素子と光電変換素子とが同一基板の上に配設されていることを特徴とする特許請求の範囲第1項記載のイメージセンサ。

3. 発明の詳細な説明

[発明の技術分野]

この発明は、光電変換素子アレイを用いて限幅等の画像面上の画像を電気信号として読取るイメージセンサに関する。

〔発明の技術的背景とその問題点〕

この種のイメージセンサは、基本的に第1図に示すように構成されている。すなわち、 $D_1 \sim D_n$ はフォトダイオードあるいは非晶質または多結晶質膜等からなる電荷蓄積型の光電変換素子（以下フォトダイオードという）であり、通常、一列に配列されている。これらのフォトダイオード $D_1 \sim D_n$ は画像面からの入射光量（フォトン数）に対応した電荷を発生して容量 $C_1 \sim C_n$ （電極間容量、接合容量、配線浮遊容量等）に蓄積するもので、その各一端は電源 E に接続され、他端は MOS-FET のようなスイッチング素子群 $S_1 \sim S_n$ にそれぞれ接続されている。スイッチング素子群 $S_1 \sim S_n$ はシフトレジスタ SR により順次駆動され、容量 $C_1 \sim C_n$ に蓄積されている電荷信号を読出す。すなわち、スイッチング素子群 $S_1 \sim S_n$ が順次オン状態となり、1ラインの読

取りが終了した後再びオン状態となるまでの時間、光電変換素子群 $D_1 \sim D_n$ の発生電荷を容量 $C_1 \sim C_n$ に蓄積し、その蓄積電荷をスイッチング素子群 $S_1 \sim S_n$ のうちの対応するスイッチング素子が再度オン状態になった時に読出すのである。そして、この読出し電荷が検出回路 DET を介して読み取り出力として取出される。

しかしながら、この構成ではスイッチング素子群 $S_1 \sim S_n$ のスイッチングノイズが読取り出力に重畳するという問題があった。このスイッチングノイズの電荷は、第2図に示すように1つのスイッチング素子（MOS-FET）のソース・ゲート間容量を C_{sg} 、ドレイン・ゲート間容量を C_{dg} とし、ゲート電圧を V_g として

$$Q_{noise} = (C_{sg} + C_{dg}) V_g$$

で近似される。このノイズ電荷が本来の入射光量に応じた電荷（以下、信号電荷という）より大きいと、信号電荷の読出しは不可能となる。

〔発明の目的〕

この発明の目的は、信号読出し用のスイッチング

素子のスイッチングノイズを確実に除去して S/N の良好な画像読取り出力が得られるようにしたイメージセンサを提供することにある。

この発明の他の目的は、信号読出し回路を複数個の集積回路素子で構成した場合に各集積回路素子間でのオフセット電圧のバラツキを少なくし、密着型イメージセンサのような長尺のイメージセンサにおいても高品質の画像読取り出力が得られるようにしたイメージセンサを提供することにある。

〔発明の概要〕

この発明は、読取るべき画像面からの入射光を電気信号に変換する複数個の光電変換素子と、これらの光電変換素子にそれぞれ接続された前置増幅器と、これらの前置増幅器の出力信号を順次選択して読出す第1のスイッチング素子群と、これら第1のスイッチング素子群によって読出された信号を順次一時記憶する記憶手段と、この記憶手段が第1のスイッチング素子により読出された信号を記憶した後に対応する前置増幅器の入力端電

位を初期状態にリセットするリセット手段と、このリセット手段のリセット動作後同じ前置増幅器の出力を再び読出す第2のスイッチング素子群と、この第2のスイッチング素子群によって読出された信号と記憶手段の出力信号との差を検出して画像読取り出力を得る手段とを備えたことを特徴としている。

すなわち、光電変換素子からの信号を読出すためのスイッチング素子群の前段に前置増幅器をそれぞれ設けることによって、スイッチングノイズが読取り出力に現われるのを防止するとともに、前置増幅器の入力端電位をリセットする前と後の前置増幅器の出力信号の差を検出することで画像読取り出力を得るようにしたものである。

〔発明の効果〕

この発明によれば、スイッチングノイズは低インピーダンスである前置増幅器の出力に吸収されるため、画像読取り出力にはほとんど現われなくなる。

また、前置増幅器の入力端電位をリセットする

前と後の出力信号の差をとることによって、信号成分のみが検出され前置増幅器等のオフセット電圧分はキャンセルされるので、例えば前置増幅器と第1、第2のスイッチング素子群およびリセット手段ならびにこれらの駆動手段を所定数個ずつまとめて同一の集積回路素子上に形成した場合に各集積回路素子間でオフセット電圧のバラツキがあっても、このオフセット電圧のバラツキの影響が画像読取り出力に現われることもない。

従って、光電変換素子の出力信号レベルが微小でも S/N が良好で、しかも直流分の均一な高品質の画像読取り出力を得ることが可能である。

【発明の実施例】

第3図はこの発明の一実施例のイメージセンサの回路構成図である。

図において、光電変換素子 $D1 \sim Dn$ の各一端は駆動電圧 E に接続され、各他端は前置増幅器 $A1 \sim An$ に接続されている。前置増幅器 $A1 \sim An$ はこの例では高入力インピーダンス、低出力インピーダンスの差動増幅器であり、その非反転入力端に

力端に光電変換素子 $D1 \sim Dn$ の出力信号が入力され、また反転入力端は出力端と直結されている。また前置増幅器 $A1 \sim An$ の非反転入力端とアース間には、リセットスイッチ $Sr1 \sim Srn$ がそれぞれ接続されている。

前置増幅器 $A1 \sim An$ の出力端は第1および第2のスイッチング素子群 $S11 \sim S1n$ 、 $S21 \sim S2n$ に接続されている。ここでリセットスイッチ $Sr1 \sim Srn$ および第1、第2のスイッチング素子群 $S11 \sim S1n$ 、 $S21 \sim S2n$ はシフトレジスタ $SR(SR1, SR1' \sim SRn, SRn')$ によって駆動される。なお $SR1 \sim SRn$ は n/m 段のシフトレジスタであり、 $SR1' \sim SRn'$ は1段のシフトレジスタである。

第1のスイッチング素子群 $S11 \sim S1n$ は第1の共通出力線 $L1$ に接続され、第2のスイッチング素子群 $S21 \sim S2n$ は第2の共通出力線 $L2$ にそれぞれ接続されている。そして第1の共通出力線 $L1$ は記憶手段としてのサンプルホールド回路 S/H を介して差動増幅器 $A0$ の非反転入力端に、ま

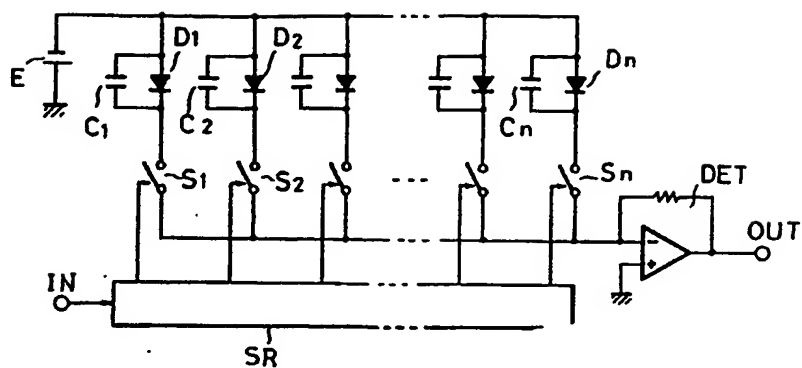
た第2の共通出力線 $L2$ は差動増幅器 $A0$ の反転入力端にそれぞれ接続され、この差動増幅器 $A0$ の出力信号が画像読取り出力として出力端子 OUT に取出されるようになっている。

なお、この実施例においては前置増幅器 $A1 \sim An$ 、リセットスイッチ $Sr1 \sim Srn$ 、第1、第2のスイッチング素子群 $S11 \sim S1n$ 、 $S21 \sim S2n$ は n/m 個ずつまとめられて、対応するシフトレジスタ $SR1, SR1' \sim SRn, SRn'$ とともに m 個の集積回路素子 $IC1 \sim ICm$ 上に形成されている。また、これらの集積回路素子 $IC1 \sim ICm$ は好ましくは光電変換素子 $D1 \sim Dn$ と同一基板上に配設される。集積回路素子 $IC1 \sim ICm$ 内にはさらに第1、第2の出力スイッチ $S31 \sim S3m$ 、 $S41 \sim S4m$ が設けられており、各集積回路素子 $IC1 \sim ICm$ 上の第1、第2のスイッチング素子群 $S11 \sim S1n$ 、 $S21 \sim S2n$ はそれぞれこれらの出力スイッチ $S31 \sim S3m$ 、 $S41 \sim S4m$ を介して第1、第2の共通出力線 $L1, L2$ に接続されている。

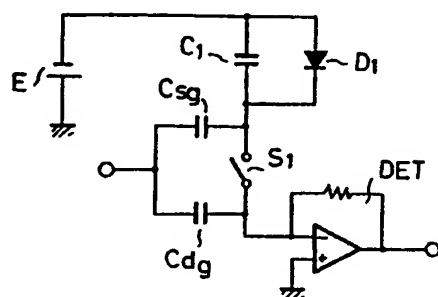
次に、この実施例の具体的な動作を説明する。シフトレジスタ SR は1ラインの読取り毎にその初段にデータ“1”を入力され、これを転送クロック ϕ_{ck} により転送することによって第1のスイッチング素子群 $S11 \sim S1n$ を順次駆動するとともに、第2のスイッチング素子群 $S21 \sim S2n$ およびリセットスイッチ $Sr1 \sim Srn$ を第1のスイッチング素子群 $S11 \sim S1n$ より1クロック分位相をずらせて順次駆動する。

今、光電変換素子 $D1$ の出力信号を読出す場合に注目すると、まず第1のスイッチング素子 $S11$ がオンになることによって、前置増幅器 $A1$ で増幅された光電変換素子 $D1$ の出力信号がこのスイッチング素子 $S11$ を介して読出され、さらにこのときオンとなっている第1の出力スイッチ $S31$ を介して第1の共通出力線 $L1$ 上に導かれて、サンプルホールド回路 S/H により記憶保持される。次にシフトレジスタ SR が1段転送動作を行なうと、リセットスイッチ $Sr1$ がオンとなって前置増幅器 $A1$ の非反転入力端の電位がアース電位にリ

第 1 圖



第 2 図



第 3 図

